|  |
| --- |
| Предмет: Микропроцесорски системи  Рок: пример |

|  |  |
| --- | --- |
| Студент: |  |
| Индекс: |  |

**Трајање 120 мин.**

|  |  |  |  |
| --- | --- | --- | --- |
| **Задатак 1** | **/3** | **Задатак 6** | **/3** |
| **Задатак 2** | **/3** | **Задатак 7** | **/3** |
| **Задатак 3** | **/3** | **Задатак 8** | **/3** |
| **Задатак 4** | **/3** | **Задатак 9** | **/3** |
| **Задатак 5** | **/3** | **Задатак 10** | **/3** |
|  |  |  |  |
| **Сума:** | **/30** |  |  |

|  |  |  |
| --- | --- | --- |
| 1 (3) | Нацртати принципијелну шему логичког кола И користећи биполарне НПН транзисторе, диоде и отпорнике. На улазу кола треба да буду диоде, а коло мора да обезбеди компатибилне улазе и излазе (по питању напонских нивоа и струјних капацитета). На слици назначити куда теку струје уколико се на један улаз доведе логичка јединица, а на други логичка нула. | |
| 2 (3) | Посматра се магистрала процесора 8086. Нека 8-битна периферија повезана је на виших 8 линија магистрале података. Периферија захтева 4 адресе и повезана је тако да јој се приступа кроз улазно/излазни адресни простор. Које од понуђених група адреса би могле бити додељене наведеној периферији како би се препознавање адреса свело на конјункцију у којој учествују адресне линије и њихове инвертоване вредности? Тачне одговоре заокружити, а за сваки нетачан навести објашњење зашто дати скуп адреса није могуће доделити поменутој периферији у складу са наведеним ограничењима.  a) б) в) г) д)  0x354B 0x8A01 0x1008 0x12F9 0x1005  0x35CB 0x8A05 0x100A 0x12FA 0x100D  0x355B 0x8A07 0x100C 0x12FB 0x1007  0x35DB 0x8A0F 0x100E 0x12FC 0x100B | |
| 3 (3) | Навести вредност регистра r1 након извршавања дате секвенце асемблерских инструкција. Шта је ефекат извршавања it инструкције и због чега је у *Thumb* инструкцијском сету неопходна it инструкција?  mov r0, #5  mov r1, #7  cmp r1, r0  ittet gt  subsgt r1, r1, r0  subsgt r1, r1, #3  addgt r1, r1, r0  subgt r1, r1, #2 | |
| 4 (3) | Посматра се неки од *ARM* микроконтролера који има 8 битова за записивање приоритета прекида. Контролер је конфигурисан да се 4 бита користе за групни приоритет и 4 бита за подприоритет. Конфигурисани су приоритети за IRQ0-IRQ6 редом: 0x75, 0x75, 0x74, 0x53, 0x22, 0x54, 0х21. У наставку је описан сценарио који се дешава почев од тренутка када је микроконтролер спреман да прихвата захтеве за прекид. Истовремено стижу захтеви 0 и 1. У току извршавања последње рутине (након чијег завршетка би требало извршити повратак у главни програм) стиже захтев и по линији 3. Пре завршетка последње рутине стиже захтев и по линији 2. Пред сам повратак из последње рутине стиже захтев по линији 5. У току извршавања прекидне рутине по последњем захтеву стижу захтеви 3 и 4 истовремено. У току првог наредног прихватања захтева за прекид стиже и нови захтев по линији 6.  Потребно је навести редослед извршавања делова кода програма и прекидних рутина, тако да се за извршавање низа инструкција програма наведе *M* (*main*), а за извршавање кода прекидне рутине наведе редни број те рутине. У тренутку када се излази из прекидне рутине навести слово *E* (*exit*). | |
| 5 (3) | Конфигурисати потребне делове микроконтролера тако да се на најниже пинове порта А може повезати тастатура са 16 тастера. Најнижа 4 пина се користе за селекцију редова, наредна 4 за очитавање стања, наредни прихвата захтев за прекид када се на тастатури појави притиснут барем један тастер (силазна ивица) и наредни прихвата захтев за прекид када се отпусте сви тастери (узлазна ивица). | |
| 6 (3) | Који пинови микроконтролера могу да се користе као пинови чија одговарајућа промена стартује бројање (окида бројање) на бројачу 1 (тајмер 1)? |
| 7 (3) | Са линије за пренос узорковани су следећи битови (сваки бит је добијен на основу одговарајућег броја узорака стања на линији): ... 111 111 011 011 010 000 011 111 111... УСАРТ контролер је конфигурисан да преноси 8 битова, конфигурисан је да користи парну парност и да користи један стоп бит. Навести које грешке постоје у примљеном податку, а које не и образложити са по једном реченицом. |
| 8 (3) | Потребно је конфигурисати неки од *DMA* контролера да у тајмер 1 преноси по две вредности и то у регистре за памћење/поређење првог и другог канала. Сматрати да је адреса бафера у меморији *CCR\_CFG* и да се у том баферу налази четири пута по две вредности у одговарајућем редоследу. Када се пренос читавог бафера заврши, одабрани канал треба да отпочне нови пренос од почетка бафера. *DMA* контролер треба да генерише прекиде на пола преноса бафера и када се пренесе читав бафер. Навести и релевантни дио конфигурације тајмера. |
| 9 (3) | Навести једну ситуацију када двобитни предиктор скока постиже боље резултате од једнобитног предиктора (написати, на пример, кратак сегмент кода на *C* језику). |
| 10 (3) | Навести пример ситуације у којој се манифестује предност процесора са подршком за *simultaneous multithreading* у односу на процесор са класичном *fine-grained* подршком за више нити и објаснити зашто. |